

6/5/1

DIALOG(R) File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

01720777 **Image available**

TWO-DIMENSIONAL SOLID-STATE IMAGE PICKUP DEVICE

PUB. NO.: 60 -199277 [JP 60199277 A]

PUBLISHED: October 08, 1985 (19851008)

INVENTOR(s): NISHIZAWA JUNICHI
TAMAMUSHI NAOSHIGE

APPLICANT(s): NISHIZAWA JUNICHI [000000] (An Individual), JP (Japan)

APPL. NO.: 59-056489 [JP 8456489]

FILED: March 23, 1984 (19840323)

INTL CLASS: [4] H04N-005/335; H01L-027/14

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 42.2 (ELECTRONICS --
Solid State Components)

JAPIO KEYWORD: R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements, CCD &
BBD); R132 (ELECTRONIC MATERIALS -- Electrostatic Induction
Type Transistors, SIT)

JOURNAL: Section: E, Section No. 383, Vol. 10, No. 46, Pg. 20,
February 22, 1986 (19860222)

ABSTRACT

PURPOSE: To obtain a device by the gate storage system possible for two-dimensional read by arranging picture elements in matrix formed by electrostatic induction transistors (SIT) having an optical amplification factor of $10^{(sup 6)}$ - $10^{(sup 8)}$ and receiving a very minute light of nearly $10^{(sup -4)}$.mu.W/cm $^{(sup 2)}$.

CONSTITUTION: One picture element Cij in Figure (a) consists of a normally off SIT and a gate capacitor CG and this invention differs from a conventional example in a point that a source 42 of the SIT is not at ground potential but the source is connected to ground potential via a source line selecting transistor (TR) QB. The QB is selected by a selection pulse .phi.Gj of a GLj at the same time. The operating waveform at read in case of reading each prescribed light integration time TLI is shown in Figure (b), where light is irradiated continuously as assumption. In reading the light information of the picture element Cij, a transfer TRQT is conducted by a transfer pulse .phi.T to the gate of the TRQT and a CSL' is coupled to a capacitor CSL of a signal read line SLi at first. The pulse width of the .phi.T is within several .mu.sec.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-199277

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)10月8日

H 04 N 5/335
H 01 L 27/14

6940-5C
7525-5F

審査請求 有 発明の数 2 (全20頁)

⑮ 発明の名称 2次元固体撮像装置

⑯ 特 願 昭59-56489

⑰ 出 願 昭59(1984)3月23日

⑱ 発 明 者 西 澤 潤 一 仙台市米ヶ袋1丁目6番16号
⑲ 発 明 者 玉 島 尚 茂 仙台市角五郎1丁目3番8号
⑳ 出 願 人 西 澤 潤 一 仙台市米ヶ袋1丁目6番16号

明 細 書

1 発明の名称 2次元固体撮像装置

2 特許請求の範囲

(1) ノーマリオフの静電誘導トランジスタ(SIT)とゲートキャパシタ C_0 から構成された画素 C_{ij} を $n \times m$ のマトリックスに構成した2次元固体撮像装置であって、垂直アドレスゲートライン $GL1, GL2, GL3, \dots, GLm$ は各 GLj 上の各画素 $C_{1j}, C_{2j}, C_{3j}, \dots, C_{nj}$ を構成するSITのゲートにゲートキャパシタ C_0 を介して接続され、信号読み出しライン $SL1, SL2, SL3, \dots, SLn$ は各 SLi ($i=1 \sim n$)上の各画素 $C_{1i}, C_{2i}, \dots, C_{mi}$ を構成するSITのドレインに共通に接続され、さらに各信号読み出しラインは接地電位との間に所定のキャパシタ C_{sl} を持ち、かつ各信号読み出しライン SLi ($i=1 \sim n$)はブリチャージトランジスタ Q_p を介して所定の電源電圧 V_{pp} 端子に共通に接続されており、さらに各信号読み出しライン

は二つの直列に接続されたトランスファートランジスタ Q_T 及びスイッチトランジスタ Q_s を介してビデオ出力ラインに共通に接続され、ビデオ出力ラインには直列に接地電位との間に一つの負荷抵抗 R_L 及び一つのビデオ電圧 V_{pp} が接続され、各 Q_T のゲートはすべて共通にトランスファパルス ϕ_T 用アドレスゲートラインに接続され、さらに各 Q_T のゲート・ドレイン間には所定のキャパシタ C_T を持たせ、かつドレイン端子は接地電位との間にキャパシタ $C_{sl'}$ を持ち、さらにソースライン $BL1, BL2, BL3, \dots, BLm$ はアドレスゲートライン $GL1, GL2, \dots, GLm$ が接続された画素列の各画素を構成するSITのソースに共通に接続され、互いにアドレスゲートライン GLj ($j=1 \sim m$)とソースライン BLj ($j=1 \sim m$)は平行に、 SLi ($i=1 \sim n$)とは直交させることでX-Yマトリックス状に画素 C_{ij} は配列されていて、さらに各ソースライン BLj ($j=1 \sim m$)には接地電位との間にスイッチトランジスタ Q_s が

接続され、かつ各 Q_j のゲートは GL_j ($j=1 \sim m$) に接続され Q_j がオフ状態において各ソースライン BL_j ($j=1 \sim m$) は接地電位との間に所定のキャパシタ C_{BL} を持ち、各キャパシタの大小関係は $C_0 < C_{BL} \approx C_T \leq C_{SL} \approx C_{BL}$ となされていて、各アドレスゲートライン GL_1, GL_2, \dots, GL_m には垂直シフトレジスタより垂直シフトパルス $\phi_{01}, \phi_{02}, \dots, \phi_{0m}$ が印加され、各スイッチトランジスタ Q_j のゲートには水平シフトレジスタより水平シフトパルス $\phi_{11}, \phi_{12}, \phi_{13}, \dots, \phi_{1n}$ が印加されることで X-Y アドレスが行なわれるように構成された 2 次元固体撮像装置。

- (2) 前記第一項記載の各画素を構成する静電誘導トランジスタが、正立型であることを特徴とする前記第一項記載の 2 次元固体撮像装置。
- (3) 前記第一項記載の各画素を構成する静電誘導トランジスタが倒立型であることを特徴とする前記第一項記載の 2 次元固体撮像装置。
- (4) ノーマリオフの静電誘導トランジスタ

ϕ_T 用アドレスゲートラインへ接続され、かつ各スイッチトランジスタ Q_j のゲートもすべて共通にゲートパルス ϕ_T 用アドレスゲートラインへ接続され、さらに各トランジスタ Q_j のゲートドレイン間には所定のキャパシタ C_T を持たせ、かつドレイン端子は、接地電位との間にキャパシタ C_{SL} を持ち、さらにソースライン $BL_1, BL_2, BL_3, \dots, BL_m$ はアドレスゲートライン GL_1, GL_2, \dots, GL_m が接続された画素列の各画素を構成する SIT のソースに共通に接続され、互いにアドレスゲートゲートライン GL_j ($j=1 \sim m$) とソースライン BL_j ($j=1 \sim m$) は平行に、 SL_i ($i=1 \sim n$) とは直交させることで X-Y マトリックス状に画素 C_{ij} は配列されていて、さらに各ソースライン BL_j ($j=1 \sim m$) には接地電位との間にスイッチトランジスタ Q_j が接続され、かつ各 Q_j のゲートは GL_j ($j=1 \sim m$) に接続され、 Q_j がオフ状態において各ソースライ

(SIT) とゲートキャパシタ C_0 から構成された画素 C_{ij} を $n \times m$ のマトリックスに構成した 2 次元固体撮像装置であって、垂直アドレスゲートライン $GL_1, GL_2, GL_3, \dots, GL_m$ は各 GL_j の各画素 $C_{1j}, C_{2j}, C_{3j}, \dots, C_{nj}$ を構成する SIT のゲートにゲートキャパシタ C_0 を介して接続され、信号読み出しライン $SL_1, SL_2, SL_3, \dots, SL_n$ は各 SL_i ($i=1 \sim n$) 上の各画素 $C_{i1}, C_{i2}, C_{i3}, \dots, C_{im}$ を構成する SIT のドレインに共通に接続され、さらに各信号読み出しラインは接地電位との間に所定のキャパシタ C_{SL} を持ち、かつ各信号読み出しライン SL_i ($i=1 \sim n$) はブリチャージトランジスタ Q_p を介して所定の電極電圧 V_{DD} 端子に共通に接続されており、さらに各信号読み出しラインは二つの直列に接続されたトランスファトランジスタ Q_T 及び Q_B を介して水平信号転送用 CCD の蓄積領域へ接続されており、各 Q_T のゲートはすべて共通にトランスファパルス

ン BL_j ($j=1 \sim m$) は接地電位との間に所定のキャパシタを持ち、各キャパシタの大小関係は $C_0 < C_{SL} \approx C_T \leq C_{BL} \approx C_{BL}$ となされていて、各アドレスゲートライン GL_1, GL_2, \dots, GL_m には垂直シフトレジスタより垂直シフトパルス $\phi_{01}, \phi_{02}, \dots, \phi_{0m}$ が印加される毎に画素列 $C_{1j}, C_{2j}, C_{3j}, \dots, C_{nj}$ の画像情報はトランジスタ Q_T 及び Q_B の開閉によって CCD に並列に入力され、一水平期間内において一列の画素列の転送を完了し、順次 $(C_{1j+1}, C_{2j+1}, C_{3j+1}, \dots, C_{nj+1}), (C_{1j+2}, C_{2j+2}, C_{3j+2}, \dots, C_{nj+2}), \dots, (C_{1m}, C_{2m}, C_{3m}, \dots, C_{nm})$ と一水平期間毎に上記画素列の情報を CCD 内において転送を行なうことで CCD 出力端子に順次画像情報を得る 2 次元固体撮像装置。

8 発明の詳細な説明

本発明は静電誘導トランジスタを用いたゲート蓄積方式の 2 次元固体撮像装置及びその信号検出方法に関するもので、特に撮野光検出器

度が優れ、かつX-Yアドレス方式における信号読み出し線のキャパシタを利用する読み出し方式により安定で均一に画像を検出する、低消費電力、高速、大容量の固体撮像装置を提供するものである。

従来の静電誘導トランジスタ(以下SITという)を用いたゲート蓄積方式による2次元固体撮像装置の構成及びその信号検出方法には種々な方式が本発明者らにより既に提案され、特願昭56-204656号、特願昭57-217758号、特願昭58-21688号、特願昭58-26982号に開示されている。さらに公知文献としてJ. Nishizawa, T. Tamamushi and S. Suzuki, "SIT image converter", JARECT (Japan Annual Review in Electronics, Computers and Telecommunications) in Semiconductor Technologies Vol 8 (1988, Oct) edited by J. Nishizawa (OHM & North Holland)に実験結果の発表が行なわれている。

さらに本発明者らは、従来のSITイメージ

センサの構成及び信号読み出し方法とは異なり、X-Yアドレス方式における信号読み出し線のキャパシタを利用する読み出し方式を「2次元固体撮像装置及びその信号検出方法」(昭和58年11月5日出願)の名称で出願した。第1図(a)は一面素部分の動作回路、第1図(b)は動作波形である。さらにマトリックス構成として2次元固体撮像装置の構成図、及び代表的な動作波形図を第2図(a)、(b)に示す。第1図及び第2図の原理及び2次元化構成は上記「2次元固体撮像装置及びその信号検出方法」において開示された新しい構成と読み出し方式であるが、本発明に最も近い従来例であるため本発明との対比においてまず従来例を説明する。

第1図(a)において、一面素 C_{ij} はノーマリオフの静電誘導トランジスタとゲートキャパシタ C_g によって構成されており、アドレスゲートライン GL_j はゲートキャパシタ C_g を介してSITのゲートに接続され、信号読み出しライン SL_i はSITのドレイン80に接続されている。

さらに信号読み出しライン SL_i には二つのスイッチングトランジスタ Q_p 及び Q_n が接続されており、 Q_n のドレイン端子(出力端子)10には負荷抵抗 R_L を介してビデオバイアス電圧 V_{DD} が印加されており、一方 Q_p のドレイン端子20にも一定バイアス電圧 V_{DD}' が印加されている。ここで信号読み出しライン SL_i の寄生容量を C_{sL} と表示している。光入力 $h\nu$ による面素 C_{ij} の情報 ϕ_j はSITのゲートに蓄積される。次に読み出し動作を説明する。第1図(b)に示すように、面素 C_{ij} の光情報を読み出す際には、まずプリチャージパルス ϕ_j によってプリチャージトランジスタ Q_p を導通させて、信号読み出しライン SL_i を所定の電圧 $V_{DD}' - V_{thp}$ まで充電を行なう。ここで V_{thp} はプリチャージトランジスタ Q_p の閾値電圧である。次にアドレスゲートライン GL_j 上にアドレスゲートパルス ϕ_{aj} を加え、面素 C_{ij} のゲートキャパシタ C_g を介してSITのゲート部分81にゲートパルス ϕ_{aj} を加え、SITを導通させると、SITの

ドレイン80とソース82間のインピーダンスが下がることからキャパシタ C_{sL} に、予めプリチャージされた電圧 $V_{DD}' - V_{thp}$ は放電する。この時、SITのゲート81に蓄積されていた光情報としてのキャリアによるゲート電位は、外部からのアドレスゲートパルス ϕ_{aj} によって加算されてゲート電位を上昇させるため、SITのドレイン80、ソース82間を流れる放電電流は、光強度が強いもの程、大きくなる。

入射光電流を I_L とし、SITのゲートの周囲のpinダイオードの逆方向飽和電流を I_s とすると、光入射によって発生したキャリアによるSITのゲート81の電位上昇分 ΔV_g はほぼ次式で与えられる。ここで k はボルツマン定数、 T は絶対温度、 q は単位電荷量を表わす。

$$\Delta V_g = \frac{kT}{q} \ln \left(1 + \frac{I_L}{I_s} \right) \quad \dots \dots \dots (1)$$

一方、ノーマリオフSITのゲート電圧 V_g とドレイン電流 I_d の関係は、指数関数関係にあり、

$$I_D \propto \exp \frac{q\gamma}{kT} V_G \quad \dots \dots \dots \text{四}$$

で表わされる。ここで γ はSITのゲート電圧が真性ゲート点に及ぼす割合を示す。

一方、入射光電流 I_L は光強度が弱い場合は入射強度 P ($\mu W/cm^2$)に比例するから、上記の読み出し動作において、SITのドレイン80とソース82間を流れる放電電流 I_{sc} は入射光電流 I_L と

$$I_{sc} \propto \exp \frac{q\gamma}{kT} \Delta V_G = \exp \frac{q\gamma}{kT} \left\{ \frac{kT}{q} \ln \left(1 + \frac{I_L}{I_s} \right) \right\}$$

$$I_{sc} \propto \left(1 + \frac{I_L}{I_s} \right)^\gamma \quad \dots \dots \dots \text{四}$$

ノーマリオフSITの場合 $\gamma \approx 1$ としてよいから、 $V_{DD}' - V_{thp}$ に充電されたキャパシタ C_{sl} の放電電流 I_{sc} は入射光電流 I_L 、あるいは入射光強度 P ($\mu W/cm^2$)に比例することがわかる。

第1図(b)において V_{slj} の波形は C_{sl} の両端の電圧波形、あるいは信号読み出しラインSLi

スイッチングトランジスタ Q_s のゲートへの読み出しアドレスパルス ϕ_{sj} の印加によって、 Q_s を導通させると、キャパシタ C_{sl} へは、 $V_{DD} - V_{thp}$ までの電圧が充電される。ここで V_{thp} は、スイッチングトランジスタ Q_s の閾値電圧である。通常は

$$V_{DD} - V_{thp} = V_{DD}' - V_{thp} \quad \dots \dots \dots \text{四}$$

となるように選ぶ。第1図(b)の V_{slj} の波形には、 C_{sl} が、 ϕ_{sj} の印加によって再充電される様子が示されており、この再充電と同時に負荷抵抗 R_L の両端には V_{out} (拡大波形)で示された信号が検出される。a、b、cはそれぞれ放電量に対応した波形であり、aは暗電流状態、bは通常の光強度の場合、cは飽和飽和光状態に対応している。

以上が本発明に最も近い従来発明による読み出し動作の基本的動作である。

上述の説明から明らかなように、従来発明の信号読み出し方法では、信号読み出しラインSLiの寄生キャパシタ C_{sl} を利用しており、

の電圧変化を示しており、アドレスゲートパルス ϕ_{sj} の印加とともにaの点線、bの一点鎖線、cの実線のように変化して $V_{DD}' - V_{thp}$ の電圧から、電圧降下を起こしているのは、aは暗電流状態、bは通常の光強度の場合、cは飽和飽和光状態の場合にそれぞれ対応している。この放電の時定数は、第1図(a)の回路ではSITのドレイン・ソース間のオン抵抗 $R_{on(sit)}$ と C_{sl} の積では決まる。暗電流状態においては、第1図(b)の点線に示す如くアドレスゲートパルス ϕ_{sj} が印加されても、SITが導通しないことが望ましい条件である。暗電流状態において、アドレスゲートパルス ϕ_{sj} の印加のみで、 C_{sl} の放電が起こるとすると、暗電流信号が、出力波形上に現われ、通常の光信号との間のS/Nが悪くなるからである。

上述のようにアドレスゲートパルス ϕ_{sj} の印加によって C_{sl} を放電させた後、この C_{sl} の放電量を再充電することによって外部抵抗 R_L の両端には再充電信号が現れる。

プリチャージトランジスタ Q_p による C_{sl} の充電、アドレスゲートパルス ϕ_{sj} による C_{sl} の放電に比例した放電、スイッチングトランジスタ(信号読み出しラインSLiの選択用トランジスタ) Q_s を介した C_{sl} の再充電によって内部の画素 C_{ij} の情報を負荷抵抗 R_L に取り出している。プリチャージトランジスタ Q_p を介して、読み出し時に、常に信号読み出しラインSLiの電位を所定の電位に充電し、SITのドレイン80、ソース82間に一定電圧が加わるように設定した状態からゲートパルス ϕ_{sj} のアドレスを行なう点が、安定で、均一な信号を得られる特徴となっている。 C_{sl} の放電量の読み出しは極めて容易にスイッチトランジスタ Q_s を介して行なわれる。第1図(a)(b)の動作の場合出力端子10における出力波形 V_{out} の時定数は、負抵抗 R_L 、 Q_s のオン抵抗 R_{on} 及び信号読み出しラインSLiの寄生容量 C_{sl} によって、 $(R_L + R_{on}) \cdot C_{sl}$ 程度である。

次に、第1図(a)(b)に示された従来発明の動作

原理に基づく従来発明の2次元固体撮像装置の構成例と動作波形例を第2図(a)、(b)に示す。

$m \times n$ のマトリックス状に配列された各画素 C_{ij} はノーマリオフの静電誘導トランジスタとゲートキャパシタ C_g から構成されており、各 S I T のゲートはアドレスゲートライン GL_1 、 GL_2 、 GL_3 、 \dots 、 GL_m とゲートキャパシタ C_g を介して m 列に接続され、一方各 S I T のドレインは信号読み出しライン SL_1 、 SL_2 、 SL_3 、 \dots 、 SL_n と n 列に接続されている。各 S I T のソースは全面素共通に接地電位になされている。さらに各信号読み出しライン SL_i 上にはブリチャージ用トランジスタ Q_p と二つのスイッチ用トランジスタ Q_r 及び Q_s が接続されており、 Q_p のゲートライン 54 は、各信号読み出しライン SL_i 上のブリチャージトランジスタ Q_p のゲートにおいてすべて共通に接続されるようになされ、スイッチ用トランジスタ Q_r のゲートライン 58 も各信号読み出しライン上のスイッチトランジスタ Q_r のゲートにお

いてすべて共通に接続されるようになされている。各スイッチトランジスタ Q_s のゲートには水平シフトレジスタ 50 からの信号読み出しライン選択パルス列 ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} 、 \dots 、 ϕ_{sn} が印加されるように構成されており、各スイッチトランジスタ Q_s のドレイン端子は共通にビデオ出力ライン 51 に接続され、このビデオ出力ライン 51 上には一負荷 R_L とビデオバイアス電源 V_{DD} が接続されている。信号出力は負荷抵抗 R_L の両端より得られる。垂直シフトレジスタ 52 からは、各アドレスゲートライン GL_1 、 GL_2 、 GL_3 、 \dots 、 GL_m 上へアドレスゲートパルス ϕ_{a1} 、 ϕ_{a2} 、 ϕ_{a3} 、 \dots 、 ϕ_{am} が印加されるように構成されている。さらに詳しく説明すると、各ブリチャージトランジスタ Q_p のドレイン端子は共通にブリチャージ電圧 V_{DD}' の与えられた電源ライン 55 に接続されている。

第2図(a)において、各信号読み出しライン SL_1 、 SL_2 、 SL_3 、 \dots 、 SL_n の寄生キャパシタは C_{s1} と表現されており、スイッチトラン

ジスタ Q_r のゲート・ドレイン間キャパシタを C_r 、 Q_r のドレイン及び Q_s のソース端子が接地電位との間に持つキャパシタを C_{s1}' と表現されている。各キャパシタの大小関係は、有効に各画素の光情報をビデオライン 51 に取り出すために

$$C_g < C_{s1}' \approx C_r \leq C_{s1} \quad \dots \dots \dots (4)$$

としている。さらに各ブリチャージトランジスタ Q_p の閾値電圧を V_{thp} 、スイッチトランジスタ Q_r 、及び Q_s の閾値電圧を V_{thr} 、 V_{ths} とし、ブリチャージパルス ϕ_p の高さを V_{DD}' 、転送ゲートパルス ϕ_r の高さを V_{DD}' 、各水平シフトパルス ϕ_{s1} 、 ϕ_{s2} 、 \dots 、 ϕ_{sn} の高さを V_{DD} に等しいと仮定すると、

$$V_{DD}' - V_{thp} - V_{thr} = V_{DD} - V_{ths} \quad \dots \dots \dots (5)$$

となるように電源電圧の値を選定している。逆に言う、信号読み出しライン SL_i がブリチャージされ、キャパシタ C_{s1}' が充電される電圧レベルは、スイッチトランジスタ Q_s の導通により再充電される電圧レベルに等しくなるよ

うに、 V_{DD}' 、 ϕ_p の高さ、 V_{thp} 、 V_{thr} 、 ϕ_r の高さ、 V_{ths} 、 ϕ_{sj} ($j=1 \sim n$) の高さを選定することで、安定で均一な条件における読み出しが行われるわけである。各画素を構成する S I T のソースは $n+$ 基板もしくは $n+$ 埋め込み層によって全面素共通になされており、さらに各画素を構成する S I T は互いに画素信号の分離がなされるべく、同一半導体基板内において互いにドレイン及びゲートは分離されている。同一の信号読み出しライン SL_i に接続される S I T のドレインのみは電気的に共通になされている。

第2図(b)は第2図(a)に示された2次元固体撮像装置の読み出し動作波形の一例を示す。第2図(b)に示した動作波形では、 $m \times n$ のマトリックス状に配列された画素の光情報を順次 (C_{11} 、 C_{12} 、 C_{13} 、 \dots 、 C_{1n})、(C_{21} 、 C_{22} 、 C_{23} 、 \dots 、 C_{2n})、 \dots (C_{ij} 、 C_{ij} 、 C_{ij} 、 \dots 、 C_{jn})、(C_{ij+1} 、 C_{ij+1} 、 C_{ij+1} 、 \dots 、 C_{jn+1})、 \dots (C_{in} 、 C_{in} 、 C_{in} 、 \dots 、 C_{nn}) と読み出して

いく場合の読み出し動作波形を示している。同様の信号読み出しラインの寄生キャパシタ C_{sl} 、もしくは $C_{sl} + C_{sl}'$ の充放電を利用する動作原理を応用して、読み出し信号ラインを一本毎に飛び越し走査を行なう等の改良型も存在するが、本質的な部分は第2図(b)において、示されている。さらに第2図(b)の動作波形を改良する方法も存在する。一例として、一水平読み出し期間後のわずかな数 μsec 存在する一水平帰線期間において、 ϕ_{oj} のパルス高さよりも高いパルス、例えば 2.5 V 以上、パルス幅数 μsec 以内のリフレッシュパルスを同一信号ライン GL_j 上加える機能を各アドレスゲートパルスに加える方法も存在する。第2図に示した信号読み出し方式においては、アドレスゲートパルス ϕ_{oj} が加わってから、充分 ϕ_{oj} のパルス幅(数 μsec 以下)以内の短い時間内において各画素の光情報はキャパシタ C_{sl} 、 C_{sl}' へ移行しており、アドレスゲート時に ϕ_{oj} (高さ 2 V、パルス幅数 μsec 以内)を加え、ほぼ一水平期間経過後の水平帰

線期間において、或いは ϕ_r のパルスが切れて、 C_{sl} と C_{sl}' の分離が行なわれた直後において同一ライン上に ϕ_{oj} よりも高い(2.5 V 以上、数 μsec 以内)リフレッシュパルスを加えることになる。しかし、最も簡単には、第2図(b)に示されるように ϕ_{oj} としてパルス高さ 2.5 V 以上、パルス幅数 μsec 以内のアドレスゲートパルスを用いれば、 ϕ_{oj} のアドレス時に、殆んどどのゲートに蓄積されたキャリアはリフレッシュされるため、リフレッシュゲートパルスを水平帰線期間もしくは ϕ_r のパルスが切れた直後に加える必要はなくなる。ゲートのパルス高さは高くなるにつれてスイッチングに伴うスパイクノイズが大きくなるため、スイッチングスパイクノイズが問題となる場合にはアドレスゲートパルス ϕ_{oj} の高さは 2 V 以内に抑え、一水平帰線期間もしくは ϕ_r のパルスが切れた直後においてリフレッシュパルスを加える機能が有効になるわけである。従って、ここでは最も簡単な動作波形を第2図(b)に示してある。

第2図(b)の動作を説明する。第2図(a)の構成で、第1図の原理図と異なる点は、信号読み出しライン SL_i ($i = 1 \sim n$) 上にスイッチ用トランジスタ Q_r が付加されている点であるが、これは次のような理由による。同一信号読み出しライン SL_i には m 個の SIT が接続されているが、光検出状態においては、 SL_i と接地点との間のインピーダンスは各 SIT に光が照射されて、ゲートにキャリアが蓄積されることによって各 SIT のソース・ドレイン間のチャンネル内に存在する電位障壁の高さが減少するため、光積分とともに、次第に減少してくる。 SL_i と接地点との間のインピーダンスが減少すると $C_{sl} + C_{sl}'$ に予めプリチャージされた電位が放電されることになるが、この放電量は、一列分の光情報の和に相当したものであり、どの画素の光情報であるかを特定することはできなくなってしまう。一方、光情報は各 SIT のゲートに蓄積されるため SL_i の電位が変動しても殆んど失われることはない。水平シフトパ

ルス ϕ_{si} が加わってから ϕ_{so} が加わるまでの時間は略々一水平期間に等しく、TV 信号では 60 μsec 程度である。従って、第1図に示した原理図のまま、プリチャージ信号により信号読み出しライン SL_i ($i = 1 \sim n$) がプリチャージされて GL_j がアドレスされ ϕ_{sj} により初めの画素 C_{ij} が読み出されてから、 ϕ_{so} により C_{oj} が読み出されるまでの間に、後半の信号読み出しライン程、予めプリチャージされた電圧レベルが放電しやすくなっているわけである。特に SL_n のラインのプリチャージ電位は、 ϕ_{so} によって C_{oj} が読み出されるまでの 60 μsec 程度は一定に保たれる必要があり、その間、同一 SL_n ラインに接続された他の画素の光受光による影響は極力抑えられなければならない。しかし、実験的に明らかになったことであるが、一水平ライン SL_i に並べる画素が増加すればするほど光積分とともに SL_i と接地点のインピーダンスは下がるわけで、一水平期間である 60 μsec 程度の時間といえども無視できるもの

ではない。そこで新たに第2図(a)に示されたスイッチトランジスタ Q_T を挿入し、予め信号読み出しラインをプリチャージする際に、寄生キャパシタ $C_{SL} + C_{SL}'$ を充電しておき、充電後ただちにアドレスゲートパルス ϕ_{aj} を印加して、各画素 C_{1j} 、 C_{2j} 、 C_{3j} 、 \dots 、 C_{nj} の光情報を

信号読み出しライン $SL1$ 、 $SL2$ 、 $SL3$ 、 \dots 、 SLn の寄生キャパシタ $C_{SL} + C_{SL}'$ の放電量として蓄積させ、その後、ただちに Q_T をオフさせ、キャパシタ C_{SL}' により各画素の情報を蓄積させて、 ϕ_{s1} 、 ϕ_{s2} 、 \dots 、 ϕ_{sn} によって C_{SL} の放電量とは無関係に出力ラインに各画素の情報を取り出す方式を従来例においては実施したわけである。従来方式の動作波形を第2図(b)は二つの水平期間にわたって示している。

時刻 i において ϕ_T を印加して、各信号読み出しライン上のスイッチトランジスタ Q_T を同時に導通させ、時刻 i において ϕ_P を印加して、各信号読み出しライン上のプリチャージトランジスタを同時に導通させて、各信号読み

出しラインのキャパシタ $C_{SL} + C_{SL}'$ を所定のプリチャージ電圧レベルまで充電を行なう。その後、時刻 i においてアドレスゲートパルス ϕ_{aj} によって画素 C_{1j} 、 C_{2j} 、 C_{3j} 、 \dots 、 C_{nj} の各 SIT を同時に導通させて、各 SIT のゲートに蓄積されていた光情報を寄生キャパシタ $C_{SL} + C_{SL}'$ の放電量として各信号読み出しライン $SL1$ 、 $SL2$ 、 \dots 、 SLn 上に移行させ、その後ただちに時刻 i において Q_T をオフさせて、 C_{SL} と C_{SL}' の分離を行なう。その後時刻 i_1 、 i_2 、 i_3 、 \dots において順次 ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} 、 \dots 、 ϕ_{sn} の水平シフトパルスを各信号読み出しライン上のスイッチトランジスタ Q_S のゲートに加えることで、ビデオ電圧 V_{DD} から各キャパシタ C_{SL}' の放電量を再充電することで、負荷抵抗 R_L の両端において出力電圧 V_{out} を得ることができる。同様に、次の水平期間において、次の画素列 C_{1j+1} 、 C_{2j+1} 、 C_{3j+1} 、 \dots 、 C_{nj+1} が読み出される。

実際に用いられる時間的数値を述べると、

TV信号の場合、画素数は 500×500 程度必要であることから、一水平読み出し期間は $65 \mu sec$ 程度となる。本発明の SIT のエリアセンサにおいて一画素の読み出し時定数は、数 $10 n sec$ は容易に実現されており、 ϕ_T のパルス幅は、 ϕ_P のパルス幅、 ϕ_S のパルス幅の和程度としても $5 \mu sec$ 以下で充分である。従って第2図に示した方式による読み出し方式を用いれば、 500×500 画素程度の画像情報は容易にTV信号を用いて読み出される。第2図に示した従来方式の場合、 ϕ_S のパルスによって読み出される際の時定数は、前述の如く、 C_{SL}' を充電する時定数となっており、 $C_{SL} + C_{SL}'$ を充電するわけではないため高速化が容易であり、数 $10 n sec$ 程度の時定数は容易に実現される。さらに高速化を計るためにはビデオ出力ライン SL の寄生キャパシタンス、実効抵抗を下げる。

しかるに、第2図に示した2次元固体撮像装置の構成においては、各画素 C_{ij} を構成する

SIT のソース領域は全面素にわたり電気的に共通となっており、かつ同一信号読み出しライン SL_i 上に並ぶ各画素 C_{i1} 、 C_{i2} 、 \dots 、 C_{im} のドレイン領域は信号読み出しライン SL_i に共通に接続されているため、各画素 C_{ij} を構成する SIT としてはノーマリオフの SIT を用いる必要があった。さらにノーマリオフの SIT としても暗電流状態においてドレインソース間のリーク電流の極めて少ない、例えば $50 \mu m \times 50 \mu m$ の寸法のセルサイズでゼロゲートバイアス時に 10^{-11} (A) 以下のようなデバイスを均一に並べる必要があった。このようなノーマリオフ SIT の光感度は、バイポーラトランジスタの光感度に近く $10^1 \sim 10^2$ 程度の光増幅度とあまり高光感度ではなかった。第2図の構成において一本の信号読み出しライン SL_i に m 個の画素が並んでおり、理想的にはゲートパルス ϕ_{aj} によって選択された画素のみ光強度に対応した電流が流れればよいが、実際には選択されない ($m-1$) 個の画素にも非選択時における

ドレインソース間にリーク電流が流れる。この電流を抑えるためにノーマリオフであることが必要である。今、最悪条件として選択されない画素すべてに飽和露光量程度の強い光が入射している場合、光によってゲートバイアスされた各画素に流れるドレインソース間のリーク電流を I' とする。この電流がキャパシタ ($C_{SL} + C_{SL}'$) に流れるのはプリチャージパルス ϕ_p が切れてからトランスファパルス ϕ_f が切れるまでの時間 t_{pt} であり、キャパシタ ($C_{SL} + C_{SL}'$) から流れ出す電荷の総量は近似的に、

$$Q' = (m-1) I' t_{pt} \quad \dots \dots \dots (7)$$

となる。

この電荷による ($C_{SL} + C_{SL}'$) 両端の電位変化 V' は

$$V' = \frac{Q}{C_{SL} + C_{SL}'} = \frac{(m-1) I' t_{pt}}{C_{SL} + C_{SL}'} \quad \dots \dots \dots (8)$$

となる。

($C_{SL} + C_{SL}'$) 両端の電位変化の最大値はほぼ、ビデオ電圧レベル V_{DD} であるから、 V' と

比をとると

$$\frac{V'}{V_{DD}} = \frac{(m-1) I' t_{pt}}{(C_{SL} + C_{SL}') V_{DD}} \quad \dots \dots \dots (9)$$

となる。実際に近い数値として、 $V_{DD} = 1V$ 、 $C_{SL} + C_{SL}' = 1PF$ 、 $t_{pt} = 1\mu s$ とすると (V'/V_{DD}) を 0.1 以下に抑えるために必要な I' の値は

$$m = 500 \text{ の時 } I' < 2 \times 10^{-11} (A)$$

$$m = 1000 \text{ の時 } I' < 1 \times 10^{-11} (A)$$

と極めて小さいことが要求される。

このように極めて小さなリーク電流が要求される理由は、同一信号読み出しライン上の画素 C_{j1} 、 C_{j2} 、 C_{j3} 、 \dots 、 C_{jm} を構成する SIT のドレインとソースがそれぞれ電気的に共通になされているためであった。従来例の場合プリチャージパルス ϕ_p が切れてからトランスファパルス ϕ_f が切れるまでの時間 t_{pt} の間に非選択状態の画素を通して放電する量を抑えるための条件は上述の如く相当厳しい。

そこで、同一信号読み出しライン上の画素

C_{j1} 、 C_{j2} 、 C_{j3} 、 \dots 、 C_{jm} を構成する各 SIT のソース領域を各々別々のソースライン $BL1$ 、 $BL2$ 、 $BL3$ 、 \dots 、 BLm に接続し、非選択状態では一定のキャパシタ C_{SL} を持たせ SIT を通しての放電を抑制し、選択時のみ選択されたソースラインを接地して SIT を通して ($C_{SL} + C_{SL}'$) のプリチャージレベルを放電してやれば画素間のクロストークが解決することを見出した。

本発明の目的は光増幅度が $10^4 \sim 10^5$ もあり、 $10^{-11} \mu W/cm^2$ 程度の極めて微弱な光まで受光できる SIT による画素をマトリックスに並べ、2 次元読み出しが可能なゲート書積方式による 2 次元固体撮像装置の構成を提供することである。

静電誘導トランジスタとゲートキャパシタ C_g からなる構成を一画素の基本構成とするゲート書積方式の SIT イメージセンサの光感度は、丁度、ゲート開放状態における SIT の光感度に相当する。ゲート開放状態での SIT の

光増幅度は、SIT の持つ固有のゲート構造に大きく依存する。ソース n^+ 領域から見た n -チャンネル内の電位障壁高さを V_{bics} 、 p^+ ゲートと n^+ ソース領域との間の拡散電位を V_{bigs} とすると、直感的な光増幅度の最大値は近似的に

$$G_m = \frac{n_s V_D}{P_g V_F} \exp \frac{q}{kT} (V_{bigs} - V_{bics}) \quad \dots \dots \dots (10)$$

で表わされる。ここで n_s 、 P_g 、 V_D 、 V_F 、 q 、 k 及び T はそれぞれソース領域の電子密度、ゲート領域の正孔密度、真性ゲート点における電子の平均速度、ゲートの正孔のソース領域への拡散速度、単位電荷、ボルツマン定数、及び絶対温度である。光強度が弱ければ弱いほど光増幅度は大きいという特徴があり、(10) 式は光強度が無限小における値である。(10) 式の $\exp \frac{q}{kT} (V_{bigs} - V_{bics})$ の項はゲートに書積された正孔の持つ電位障壁高さと電子の持つ電位障壁高きの差に関するものであり、 $10^4 \sim 10^5$ 程度にもなる。しかるにノーマリオフの SIT の中

でも $V_{bias} \approx V_{bias}$ となるような、高い V_{bias} を持つデバイスの場合には、光増幅度は $10^1 \sim 10^2$ 程度である。第2図に示した2次元固体撮像装置の画素を構成するノーマリオフのSITとしては、ドレインソース間の暗電流状態におけるリーク電流は、例えば $50 \mu \times 50 \mu$ のセルサイズのデバイスで 10^{-11} (A) 以下とする必要がある。このようにドレインソース間のリーク電流の少ないデバイスは、必然的にチャンネル内の電位障壁高さ V_{bias} を高く設計する必要があり、SIT本来の高光感度性を充分に利用してはいない。この大きな理由は、前述の如くマトリックス状に並べた際の画素間の信号クロストークである。第2図の従来例では同一信号読み出しライン SL_i ($i = 1 \sim n$) 上の各画素を構成するSITのドレインとソース領域がそれぞれ電気的に共通になっている。第2図の従来例の場合の画素を構成するSITの光感度は $10^1 \sim 10^2$ 程度であるが、同一 $n \times$ 基板もしくは $n \times$ 埋め込み層を利用できるため、2次元

配列の構成が簡単であり、読み出し方法も簡単ではあった。

本発明はSIT本来の高光感度性を充分に利用する2次元固体撮像装置の構成に関するもので、具体的には、垂直信号アドレスライン GL_j ($j = 1 \sim m$) 上の各画素 C_{1j} 、 C_{2j} 、 \dots 、 C_{nj} を構成するSITのソース領域を共通のソースライン BL_j に接続し、かつ各 BL_j ($j = 1 \sim m$) には接地電位との間にソースライン選択用トランジスタ Q_j を接続し、かつ各 Q_j のゲートは各々垂直信号アドレスライン GL_j に接続することで、垂直アドレスライン GL_j の選択と同時にソースライン BL_j が接地電位となるように構成した点を特徴としている。各信号読み出しラインには接地電位との間にキャパシタ ($C_{SL} + C_{SL}'$) を持たせ、各 SL_i ($i = 1 \sim n$) ラインの ($C_{SL} + C_{SL}'$) へのプリチャージは電圧 V_{DD}' よりプリチャージパルス ϕ_p によってプリチャージトランジスタ Q_p を導通させることで同時に行なう。垂直シフトレ

ジスタよりの垂直アドレスパルス ϕ_{oj} によって GL_j 上の各画素列 C_{1j} 、 C_{2j} 、 \dots 、 C_{nj} は同時に選択され、各 ($C_{SL} + C_{SL}'$) に充電された電位レベルは各画素のSITのゲートに蓄積された光情報に応じて各SITを通してソースライン BL_j 及び Q_j を通して接地点へ放電される。各 ($C_{SL} + C_{SL}'$) の放電量は、従来例と同様にトランスファパルス ϕ_f を切ってトランスファトランジスタ Q_f をオフして C_{SL}' のみの放電量として検出する。各 C_{SL}' の光情報は、水平シフトレジスタからの読み出しライン選択パルス ϕ_{s1} 、 ϕ_{s2} 、 \dots 、 ϕ_{sn} によって順次選択されるスイッチトランジスタ Q_s を通して共通ビデオライン上の負荷 R_L の信号変化として検出する。或いは C_{SL}' の光情報は、CCDシフトレジスタ等へ同時に入力して、CCD出力として取り出してもよいことは従来例と同様である。

本発明による2次元固体撮像装置の構成を用いれば、光増幅度が $10^1 \sim 10^2$ もあり、 10^{-11}

$\mu W/cm^2$ 程度の極めて微弱な光まで受光できるSITを各画素の構成に用いることができ、しかも各画素間のクロストークも確実に抑えることができる。2次元的なマトリックスの配列において従来例と異なる点は、前述の如く、 GL_j ($j = 1 \sim m$) 上の各画素のSITのソース領域を共通のソースライン BL_j ($j = 1 \sim m$) に接続した点であり、同一の信号読み出しライン SL_i ($i = 1 \sim n$) 上に並ぶ各画素のSITのソース領域は別々のソースライン BL_1 、 BL_2 、 \dots 、 BL_m に接続されている点である。

本発明による2次元固体撮像装置の各画素を構成するノーマリオフのSITの特性としては、暗電流状態においてドレインソース間のリーク電流の値は例えば $50 \mu \times 50 \mu$ のセルサイズで $10^{-11} \sim 10^{-12}$ (A) 程度のデバイスまでクロストークを確実に抑えつつ配列可能でありこのようなSITの光感度は $10^1 \sim 10^2$ の値にもなることが実験的に明らかになった。如式よりチャンネル内の電位障壁の高さ V_{bias} の値が V_{bias} の

値に比べ0.8～0.5 eV程度低い場合、 $\exp \frac{q}{kT} (V_{bics} - V_{bics'})$ の値は $10^4 \sim 10^5$ 程度となることからわかる。

第3図(a)は本発明による2次元固体撮像装置の構成の一面素部分の原理説明図であり第3図(b)はその読み出し動作波形である。第3図(a)において一面素 C_{ij} はノーマリオフのSITとゲートキャパシタ C_g から構成されており、SITのドレイン40は信号読み出しライン SL_i に接続されSITのゲート41はゲートキャパシタ C_g を介してアドレスゲートライン GL_j に接続され、SITのソース42はソースライン BL_j に接続されている。信号読み出しライン SL_i にはプリチャージトランジスタ Q_p トランスファトランジスタ Q_T が接続されかつ Q_T のドレインにはスイッチトランジスタ Q_s 及び負荷抵抗 R_L を介してビデオ電圧 V_{DD} に接続されている。

第1図(a)の従来例と異なる点はSITのソース42が接地電位ではなく、ソースライン選択

用トランジスタ Q_s を介して接地電位に接続されている点であり、 Q_s の選択は GL_j の選択パルス ϕ_{gj} で行なっている。第3図(a)において信号読み出しライン SL_i が接地点との間に持つキャパシタを C_{SL} とし、 Q_T のゲートドレイン間キャパシタを C_T 、 Q_T のドレイン部分及び Q_s のソース部分が接地点との間に持つキャパシタを C_{SL}' と表わしている。さらにソースライン BL_j が接地点との間に持つキャパシタを C_{BL} と表わしている。

第3図(b)を参照して第3図(a)の動作を説明する。光は連続的に照射されている場合を想定し、一定の光積分時間 T_{LI} 毎に読み出す場合の読み出し動作時の動作波形を第3図(b)は示している。面素 C_{ij} の光情報を読み出す際、まずトランスファトランジスタ Q_T のゲートへのトランスファパルス ϕ_T によって Q_T を導通させ信号読み出しライン SL_i のキャパシタ C_{SL} に C_{SL}' を結合させる。 ϕ_T のパルス幅は数 μs 以内である。 ϕ_T の印加状態において、プリチャージパ

ルス ϕ_p をプリチャージトランジスタ Q_p に印加し、プリチャージ電圧 V_{DD}' からキャパシタ $(C_{SL} + C_{SL}')$ を $V_{DD}' - V_{thp}$ のレベルまで充電した後、アドレスゲートパルス ϕ_{gj} を面素 C_{ij} 及びソースライン選択トランジスタ Q_s のゲートに加え、トランジスタ Q_s を導通させてソースライン BL_j を接地電位にすると同時に面素 C_{ij} のドレインソース間にはゲートに蓄積された正孔による光情報に応じた放電電流が流れる。キャパシタ C_{SL}' の電位変化の様子を V_{TL} の波形で示している。点線aは暗電流状態、一点鎖線bは通常の光照射状態、実線cは飽和露光量の光が照射された状態に対応している。次に、 ϕ_T が切れて Q_T がオフ状態になってもキャパシタ C_{SL}' の放電状態は変化しない。 C_{SL}' の放電量をスイッチトランジスタ Q_s を通して再充電することで、 C_{SL}' の放電量に相当した面素 C_{ij} の光信号が負荷抵抗 R_L の両端から検出される。 V_{DD}' 、 V_{DD} 、 V_{thp} 、 V_{ths} の関係は通常形式のように選ぶ。また、部分の

キャパシタの大小関係は、有効に面素 C_{ij} の光情報をビデオ出力ラインに取り出すために

$$C_g < C_{SL}' \approx C_T \leq C_{BL} \approx C_{SL} \dots \dots \dots (8)$$

としている。

第4図(a)は本発明による2次元固体撮像装置の構成の実施例を示し、第4図(b)はその読み出し動作波形例を示す。第2図(a)の従来例と異なる点は垂直アドレスゲートライン GL_j に接続された面素 C_{1j} 、 C_{2j} 、 C_{3j} 、 \dots 、 C_{mj} のソース領域を共通のソースライン BL_j に接続し、かつ各 BL_j には別々のスイッチトランジスタ Q_s が接地電位との間に接続されている点である。同一信号読み出しライン SL_i 上の面素 C_{i1} 、 C_{i2} 、 C_{i3} 、 \dots 、 C_{im} を構成するSITのドレイン領域は信号読み出しライン SL_i に接続されているが、ソース領域は別々のソースライン BL_1 、 BL_2 、 BL_3 、 \dots 、 BL_m に接続されている。各ソースライン BL_j ($j=1 \sim m$)にはスイッチトランジスタ Q_s が接地電位との間に接続され、アドレスゲートライン GL_j

($j = 1 \sim m$) が非選択時には Q_j はオフ状態にあり、各ソースライン BL_j ($j = 1 \sim m$) はキャパシタ C_{sl} を持ち、アドレスゲートライン GL_j ($j = 1 \sim m$) が選択時にはのみ Q_j は導通しソースライン BL_j が接地され、かつアドレスゲートライン GL_j によって選択された画素 C_{ij} 、 C_{ij} 、 C_{ij} 、 \dots 、 C_{mj} を構成する SIT も各画素のゲートに蓄積された光情報に応じて導通するため、別々の信号読み出しライン上のキャパシタ C_{sl} をそれぞれ放電することになる。第4図(a)で400、401はそれぞれ水平シフトレジスタ、垂直シフトレジスタを示す。402はビデオ出力ライン、403はトランスファトランジスタ Q_T のゲートの共通ラインでトランスファパルス ϕ_T を同時に印加するためのラインである。404はプリチャージトランジスタ Q_P のゲートの共通ラインでプリチャージパルス ϕ_P を同時に印加するためのラインである。405はプリチャージ電源ラインである。第4図(b)に第4図(a)の動作波形が2つの水平期間につ

いて示されている。各パルスのタイミング周期、パルス高さパルス幅、位置関係等はすべて第2図(b)に示した従来例と同じである。アドレスゲートパルス波形 ϕ_{oj} 、 ϕ_{oj+1} において、 V_o はアドレスゲートパルスの高さを示し、 V_r はリフレッシュパルスの高さを示している。このようにリフレッシュパルスを加えてもよいことは従来例と同様である。

第5図は本発明の2次元固体撮像装置の構成の別の実施例である。500、501はそれぞれ水平シフトレジスタ、垂直シフトレジスタを示し、502、503、504、及び505はそれぞれ、ビデオ出力ライン、トランスファパルス ϕ_T 印加用ゲートライン、プリチャージパルス ϕ_P 印加用ゲートライン、及びプリチャージ電源ラインを示す。第4図(a)と異なる点は、各ソースライン BL_1 、 BL_2 、 BL_3 、 \dots 、 BL_m と接地点との間に接続されたトランジスタが静電誘導トランジスタとなっている点である。通常、各ソースライン BL_1 、 BL_2 、 BL_3 、 \dots 、 BL_m は $n+$

埋め込み層で形成されるため(第7図(a)参照)集積化して製造する場合にトランジスタ Q_j として SIT を用いると集積化が容易である。すなわち、ゲートキャパシタ C_{ij} を持つ SIT から構成される画素列 C_{ij} 、 C_{ij} 、 C_{ij} 、 \dots 、 C_{mj} と Q_j としての SIT は、 Q_j のゲートが GL_j に接続されるため一体化製造するときに通じているわけである。第5図の他の構成及び動作方法はすべて第4図(a)(b)の実施例と同様である。

第6図は本発明による2次元固体撮像装置の構成の別の実施例を示す。 C_{sl}' の放電量を検出する方法として、スイッチトランジスタ Q_s のゲートライン602に同時にゲートパルス ϕ_s を印加して、同時に各 C_{sl}' の放電量として蓄積された光情報を水平信号転送用 CCD 600の蓄積領域へ入力し CCD 出力として取り出す例を示している。 CCD 600は2相クロックパルス ϕ_{s1} 、 ϕ_{s2} で動作する。606はバッファアンプ、607は出力端子を示す。601は垂直シフト

レジスタ、603はトランスファパルス ϕ_T 印加用ゲートライン、604はプリチャージパルス ϕ_P 印加用ゲートライン、605はプリチャージ電源ラインを示す。各ソースライン BL_1 、 BL_2 、 BL_3 、 \dots 、 BL_m と接地点との間にはスイッチトランジスタ Q_s として MOS トランジスタが接続されている。 Q_j としては SIT であってもよい。読み出し動作としては、 ϕ_T が切れた後に、ゲートパルス ϕ_s を同時にすべての Q_s のゲートに印加して、各 C_{sl}' に放電量として蓄積されている光情報を CCD 600内の電位ウェルによる蓄積領域へ転送し、その後一水平期間内に出力端子に m 個の信号出力を取り出せばよい。

第7図(a)は本発明による2次元固体撮像装置の一画素部分の断面構造を示す。第7図(b)、(c)は 2×2 のマトリックスを例に SIT の正立、側立両動作によって2通りのマトリックスの構成方法があることを説明するための回路図である。

第7図(a)の各部分を説明する。第7図(a)には半導基板内に集積化製造される電路導トランジスタ及びゲートキャパシタが示されている。701はp基板を示す。n+埋め込み層704及び706は隣接する画素列(C_{ij} 、 C_{ij} 、…、 C_{nj})及び(C_{j+1} 、 C_{j+1} 、…、 C_{nj+1})の共通のソースラインBL j 及びBL $j+1$ に対応している。領域719は分離領域であり、n-もしくはp-もしくはi層で形成されたSITのチャンネル領域715及び716を互いに分離している。p領域718は隣接する画素のp+ゲート領域706と707を互いに絶縁するための拡散領域である。表面n+領域718-1、718-2、718-3は一面素を構成するSITのドレイン領域を示す。ドレイン領域718-1、718-2、718-3は紙面に示されていない部分においてn+ポリシリコン電極711等で電気的に接続されている。すなわち、第7図(a)に示す実施例では一面素を構成するSITは8つのチャンネル領域を有している。このようにマルチチャネ

ルにするのは電流を稼ぐためであるが、一面素のセルサイズを小さくする必要がある場合には単一チャンネルとしてもよい。その場合には電流は1/8となる。n+ドレイン領域718-1、718-2、718-3を含むp+ゲート領域706の上部にはSi₃N₄膜、SiO₂膜等で形成された薄い絶縁膜710が全面に形成されている。708は透明電極であり、702は透明電極708とのA₁コンタクトラインである。n+領域714-1は隣りの画素のSITのn+ドレイン領域であり、n-もしくはp-もしくはi層716は隣りの画素のSITのチャンネル領域である。709は708と同様透明電極であり、708は透明電極709とのA₂コンタクトラインである。A₁電極ライン702及び708は隣接する画素列(C_{ij} 、 C_{ij} 、 C_{ij} 、…、 C_{nj})及び(C_{j+1} 、 C_{j+1} 、 C_{j+1} 、…、 C_{nj+1})へのそれぞれアドレスゲートラインGL j 及びGL $j+1$ となっている。n+ポリシリコン電極711及び712は同一信号読み出しラインSL i に接続されてい

る。信号読み出しラインSL i は紙面に示されていない分離領域719の上部においてアドレスゲートラインと直交するようにA₂電極等で配線されている。領域717は絶縁層である。光照射ホレ720はデバイス表面から行なわれる。ゲートキャパシタC₀は透明電極708、薄い絶縁物層710及びp+ゲート領域706からなるMISキャパシタによって形成されている。ソースラインBL j 704はアドレスゲートラインGL j 702と平行に形成されるため、スイッチトランジスタQ₀としてSITを紙面に示されていない部分において、形成することは容易である。

第7図(b)は第4図乃至第6図の実施例のマトリックス構成と同様に表面n+領域718-1、718-2、718-3をドレイン領域、n+埋め込み層704をソース領域として形成する場合のマトリックス構成を示しているが、第7図(c)は表面n+領域718-1、718-2、718-3をソース領域、n+埋め込み層704をドレイン領域として形成する場合のマトリックス構成を示

している。この場合には埋め込み層ラインBL j 、BL $j+1$ 等が信号読み出しラインとなり、ソース領域を共通に接続したラインSL i 、SL $i+1$ 等はソースラインとなる。アドレスゲートラインGL j 、GL $j+1$ 等は信号読み出しラインBL j 、BL $j+1$ 等と直交することになる。各ソースラインSL i 、SL $i+1$ 等と接地点との間に接続されるトランジスタQ₀は前述の第7図(a)(b)の場合とはちがって、表面n+ソース領域718、714等が接続されたソースラインSL i と接地点との間に接続されるため、特にSITである必要はない。第7図(b)は側立型のSITを一面素の構成要素とする場合のマトリックス構成例であり、第4図乃至第6図の実施例でも同様であった。一方第7図(c)は正立型のSITを一面素の構成要素とする場合に相当している。

第7図(c)の構成方法を2次元固体撮像装置に応用した実施例を第8図に示す。第8図の画素C_{ij}は正立型SITとゲートキャパシタC₀から構成されており、m×nのマトリックス状に

配列されている。800 は水平シフトレジスタ、801 は垂直シフトレジスタであり、802 はビデオ出力ライン、808 はトランスファートランジスタ Q_T へのアドレスゲートラインである。804 はプリチャージトランジスタ Q_P へのアドレスゲートラインを示す。805 はプリチャージ電圧ラインを示す。画素 C_{ij} を構成する SIT のソース領域はソースライン SL_i に接続され、ドレイン領域は読み出し信号ライン BL_j に接続され、ゲート領域はゲートキャパシタ C_g を介してアドレスゲートライン GL_i に接続されている。さらにソースラインには接地点との間にスイッチトランジスタ Q_S が接続され、 Q_S のゲートにはアドレスゲートライン GL_i が接続されている。 GL_i の選択と同時にアドレスゲートパルス ϕ_{aj} によって、画素列 ($C_{i1}, C_{i2}, C_{i3}, \dots, C_{in}$) が選択され、かつ Q_S が導通してソースライン SL_i の電位が接地されるようになっている。信号読み出しライン BL_j 上にはプリチャージ用トランジスタ Q_P がプリ

チャージ電圧 V_{DD}' との間に接続されている。さらに BL_j には、ビデオ出力ライン 802 との間にトランスファートランジスタ Q_T 及びスイッチトランジスタ Q_B が直列に接続されている。各信号読み出しライン BL_j ($j=1 \sim n$) には接地点との間にキャパシタ C_{BL} を持たせ、さらにトランスファートランジスタ Q_T のドレイン及びスイッチトランジスタ Q_B のソース領域と接地点との間にはキャパシタ C_{BL}' を持たせている。またトランスファートランジスタ Q_T のゲートドレイン間容量を C_T で表現している。各ソースライン SL_i ($i=1 \sim m$) はスイッチトランジスタ Q_S がオフ状態の場合にはキャパシタ C_{SL} を持っている。垂直シフトレジスタ 801 から各アドレスゲートライン GL_i ($i=1 \sim m$) にはアドレスゲートパルス ϕ_{aj} ($j=1 \sim n$) が順次印加され、また水平シフトレジスタ 800 からは各信号読み出しライン BL_j ($j=1 \sim n$) 上のスイッチトランジスタ Q_S のゲートに対して水平シフトパルス ϕ_{sj} ($j=$

$1 \sim n$) が順次印加される。出力信号はビデオライン 802 とビデオ電圧 V_{DD} との間の負荷抵抗 R_L の両端から検出される。第 8 図の 2 次元固体撮像装置の画素を構成する SIT は正立動作の SIT を用いることができるため、第 4 図乃至第 6 図の実施例に比べさらに高光感度となる。これは第 7 図(a)の断面構造から明らかなように、表面 n^+ 領域 718 をソース領域、埋め込み n^+ 領域 704 をドレインとして使用するため、デバイス動作上、ソースから注入された電子のドレインへの到達率が逆動作(倒立動作)の場合に比べ大きくすることができるからである。ゲート電位の駆動が及ぼすソースドレイン間電流への変化率 (G_m) の値も大きくとれる。第 8 図の 2 次元固体撮像装置の読み出し動作は基本的には第 4 図の実施例と同様である。すなわち、トランスファパルス ϕ_T を数 n 回のパルス幅に加え、そのパルス期間内において、プリチャージパルス ϕ_P をプリチャージトランジスタ Q_P に印加し、すべての信号読み出しライン上のキャ

パシタ ($C_{BL} + C_{BL}'$) を $V_{DD}' - V_{thp}$ のレベルまでプリチャージする。 ϕ_P を切った後、直ちにアドレスゲートパルス ϕ_{aj} をアドレスゲートライン GL_i に印加して GL_i 上の画素列 $C_{i1}, C_{i2}, C_{i3}, \dots, C_{in}$ を選択し、 Q_S の導通とともに各画素の SIT を通して各画素のゲートに蓄積された光情報としての正孔の蓄積状態に応じてキャパシタ ($C_{BL} + C_{BL}'$) の放電を起こさせる。次に ϕ_{aj} 及び ϕ_T を同時に切ると、画素列 $C_{i1}, C_{i2}, \dots, C_{in}$ の光情報は C_{BL}' にのみ現われることになる。従って、一水平期間内にわたって、順次水平シフトパルス $\phi_{s1}, \phi_{s2}, \dots, \phi_{sn}$ を各スイッチトランジスタ Q_S のゲートに加えて、 C_{BL}' の放電分をビデオ電圧 V_{DD} から再充電してやることで、出力信号 V_{out} がシリアルに得られる。次の水平期間では、 ϕ_T を加え、プリチャージパルス ϕ_P を加え、同様に ϕ_{aj+1} を加えることで隣の画素列 $C_{i+1,1}, C_{i+1,2}, C_{i+1,3}, \dots, C_{i+1,n}$ の光情報を同様に読み出す。各パルス幅、パルス高

さ等は従来例もしくは第4図(b)の実施例と同様である。脚式が成立している。各部の容量の大小関係は脚式と同様にして

$$C_0 < C_{B1} \approx C_7 \leq C_{B2} \approx C_{B3} \dots \dots \dots$$

としている。

＜発明の効果＞

第2図において示した従来例では、画素を構成するSITは全面素電気的に共通となっており、同一信号読み出しライン上に並ぶ画素のSITはソース領域、ドレイン領域が共通となっている。このため、ゲートが選択されない画素に光が入射してSITのソースドレイン間のインピーダンスが低下することにより($C_{B1} + C_{B2}$)から放電電流として流れる電流が類似信号として検出される可能性がある。この類似信号を飽和出力、例えば $V_{DD} = 1V$ の0.1%以下に抑えるためには非選択時に光でゲートがバイアスされた状態で画素に流れる電流は、 500×500 画素のマトリックスにおいては $2 \times 10^{-11}A$ 以下とする必要があり、かなりのノーマリ

オフ性であることが要求される。しかも、このようなSITの光感度は、脚式によって説明したように、チャンネル内の電位障壁高さ V_{b100} の値がゲートソース間の電位差 V_{b100} に近くなってくるため、あまり高感度ではなくなってくる。さらに従来例の場合、マトリックス中に不良な画素(短絡)がある場合、同一の信号読み出しラインに接続されている他の画素まで短絡状態のように見なされてしまい、隣接する画素への影響が大きかった。これらを解決するために従来電気的に共通とされていたSITのソース領域をストライプ構造にしてライン毎に選択できる回路形式を用いることを本発明では開示したわけである。以上説明した本発明による2次元固体撮像装置の構成を用いると、ノーマリオフのSITとしてもゼロゲートバイアス時に $50 \mu \times 50 \mu$ のセルサイズで $10^{-11}A \sim 10^{-10}A$ 程度のドレインソース間電流の流せる素子を一画素の構成として用いることができ、しかも画素間のクロストークの問題も解決できた。さら

にこのような特性を示すSITの光増幅度は $10^4 \sim 10^5$ 程度と極めて高い。さらに本発明による2次元化構成を用いれば、特定の画素が短絡状態にあったとしても他の隣接する画素への影響はない。第9図は第8図に示した本発明による2次元固体撮像装置の構成と、第2図に示した従来型2次元固体撮像装置の構成を用いて、読み出した一画部分の光電変換特性の比較を示している。一画素の寸法はいずれも $50 \mu \times 50 \mu$ である。ビデオ電圧 $V_{DD} = 1V$ 、 $R_L = 1K\Omega$ 、光積分時間は $20ms$ である。波長 6550\AA の光を照射しており、横軸はその入射光強度 P ($\mu W/cm^2$)、縦軸は負荷 R_L の両端から得られた出力信号のピーク値を暗電流レベルから差引いた値を示している。出力の飽和レベルがビデオ電圧 $1V$ より小さくなっているのはスイッチMOSトランジスタの閾値分減っているからである。(a)乃至(c)のカーブが本発明による構成の実験結果であり、(d)は第2図に示した従来例の実験結果である。(a)乃至(c)の特性が異なるの

は、チャンネル内の電位障壁高さ V_{b100} の高さも高くなり V_{b100} に近づいている。さらに(d)の画素のSITはゼロゲートバイアス時、暗電流状態においてドレインソース間のリーク電流が $10^{-11}A$ 以下と極めて小さい素子を用いている。前述の如く従来例の構成では(d)のような光電変換特性しか得られなかったものが、本発明による構成を用いれば、微光感度として約8桁改善される。特に $10^{-4}(\mu W/cm^2)$ の極微弱光まで検出されており、非常に高感度でダイナミックレンジ³⁾広い。またX-Yアドレス方式における信号読み出し線のキャパシタを利用しており、読み出し時に必ず一定のプリチャージレベルに充電してから光情報を放電量として検出しており、動作的に安定で均一に画像を検出している。また直流電流を検出する方式ではないため完全ダイナミック動作となっており低消費電力である。読み出し速度の点では第2図の従来例と同様高速である。

本発明による2次元固体撮像装置の構成では、

S I T の持つ高感度性を充分に利用でき、例えば 10^{-11} W/cm^2 の強度の光を光積分時間 20 msec で検出しており、従来の撮像管のうち最も高感度と云われる S I T 管 (Silicon Intensified Target Tube) の特性に近づいている。

本発明による 2 次元固体撮像装置は、非常に微弱な光検出を特徴としており、工業的価値の高いものである。

4 図面の簡単な説明

第 1 図は従来の読み出し方式の原理説明図で、(a) は一面素の回路構成例、(b) は動作波形、

第 2 図(a) は従来の 2 次元固体撮像装置の構成例、(b) は従来の信号読み出し動作波形例 (2 H 分)、

第 3 図(a) は本発明による 2 次元固体撮像装置の一面素部分の原理説明図、(b) は(a) 及びその動作波形例、

第 4 図(a) は本発明による 2 次元固体撮像装置の構成の実施例、(b) は(a) 及びその読み出し動作

波形例、

第 5 図は本発明の 2 次元固体撮像装置の構成の別の実施例、

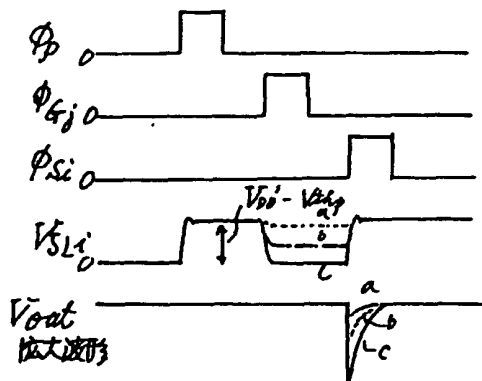
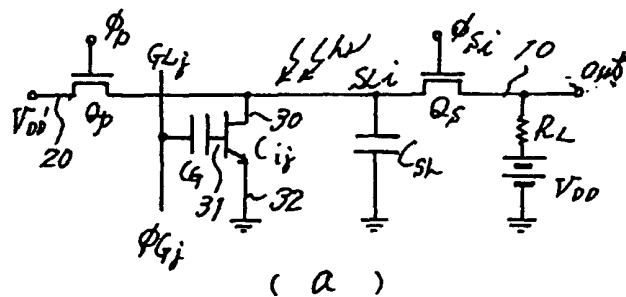
第 6 図は本発明による 2 次元固体撮像装置の構成の別の実施例、

第 7 図(a) は本発明による 2 次元固体撮像装置の一面素部分の断面構造例、(b) は 2×2 マトリックスによる回路表現、(c) は 2×2 マトリックスによる別の回路表現、

第 8 図は本発明による 2 次元固体撮像装置の構成のさらに別の実施例を示し、特に第 7 図(c) を発展させた構成例を示す図、第 9 図は本発明による 2 次元固体撮像装置と従来例 (第 2 図) の 2 次元固体撮像装置の光電変換特性の比較を示し、(a) ~ (c) は本発明に関する実験結果、(d) は従来例における実験結果を示す図である。

40 … S I T のドレイン、41 … S I T のゲート、42 … S I T のソース、400、500、600 … 水平シフトレジスタ、401、501、601、801 … 垂直シフトレジスタ、402、502、602

… ビデオ出力ライン、403、503、603、803 … トランスファパルス ϕ_p 用アドレスゲートライン、404、504、604、804 … プリチャージパルス ϕ_{pj} 用アドレスゲートライン、405、505、605、805 … プリチャージ電源ライン、602 … トランスファパルス ϕ_{si} 用アドレスゲートライン、606 … C C D 出力バッファアンプ、607 … 出力端子、701 … p 基板、702、703 … アドレスゲートライン用 A1 電極配線、704、705 … n+ 埋め込み層、706、707 … p+ ゲート領域、708、709 … 透明電極、710 … 高い抵抗層、711、712 … n+ ポリシリコン層、713-1、713-2、713-3、714-1 … n+ ソースもしくはドレイン領域、715、716 … n- (p-) 高抵抗エピタキシャル層、717、… 絶縁物層、718 … 分離用 p 拡散層、719 … 絶縁物分離領域、720 … 光入射面。

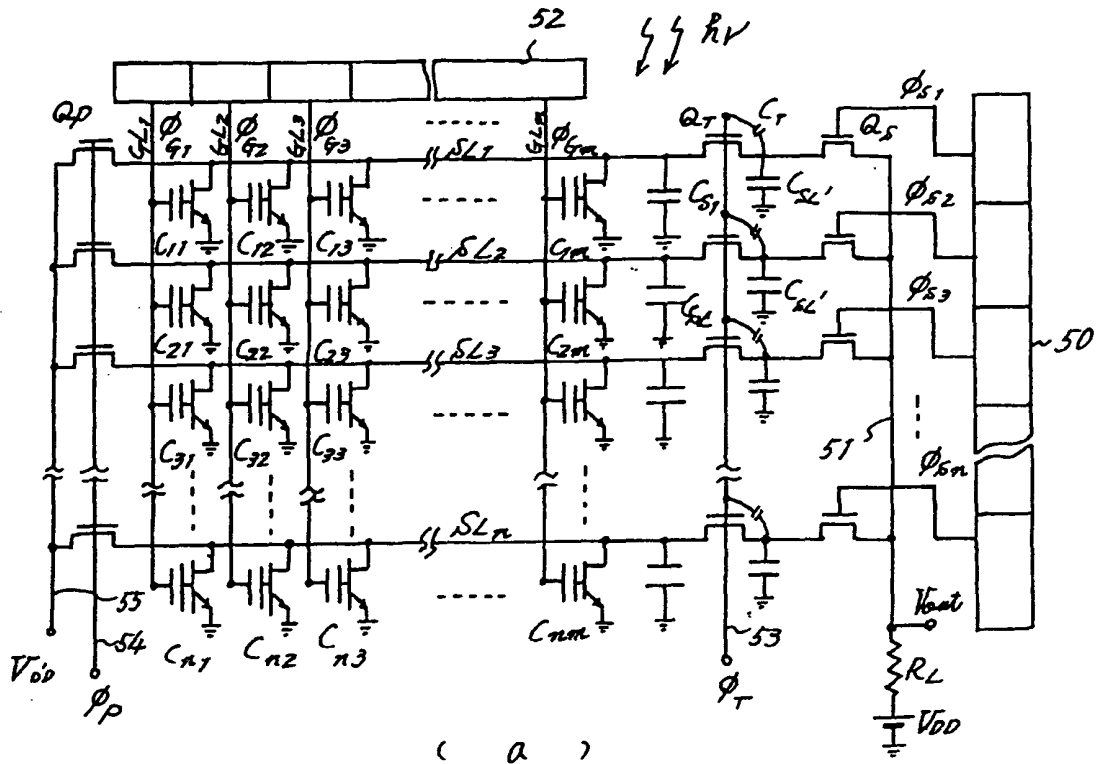


特許出願人

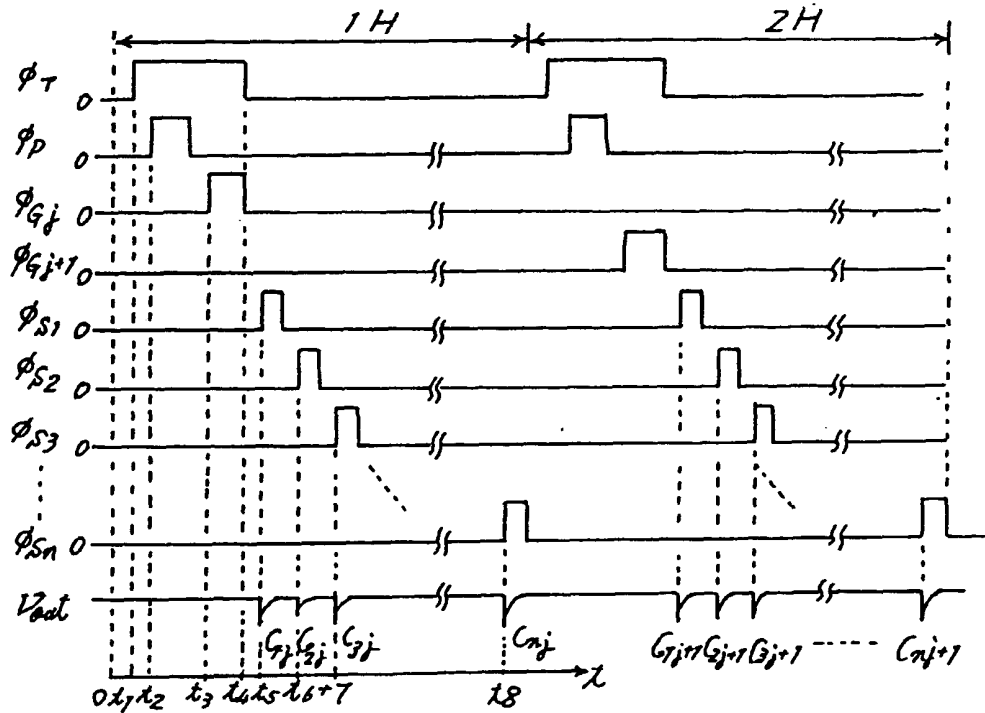
西澤 潤



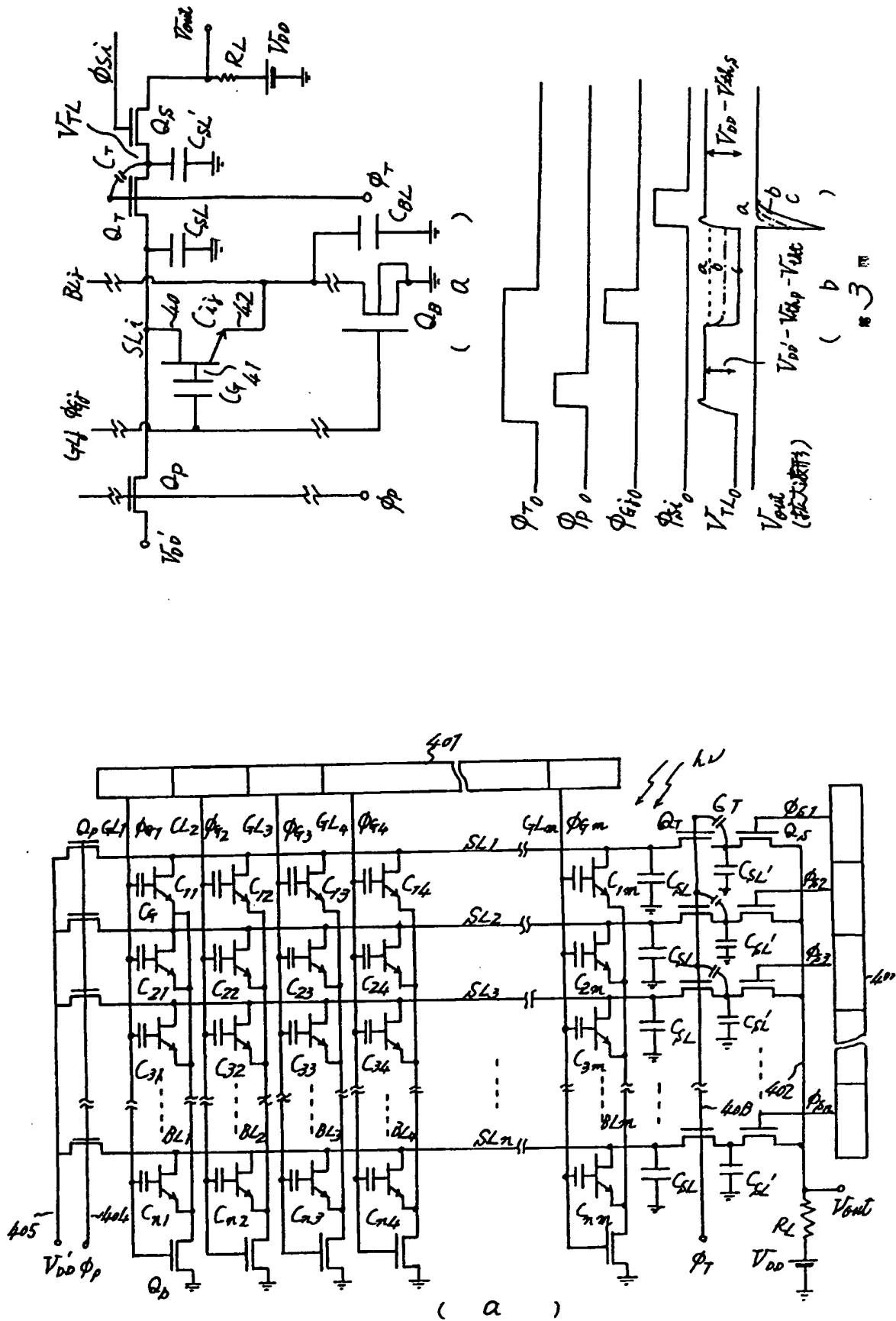
(b)
第 7 図

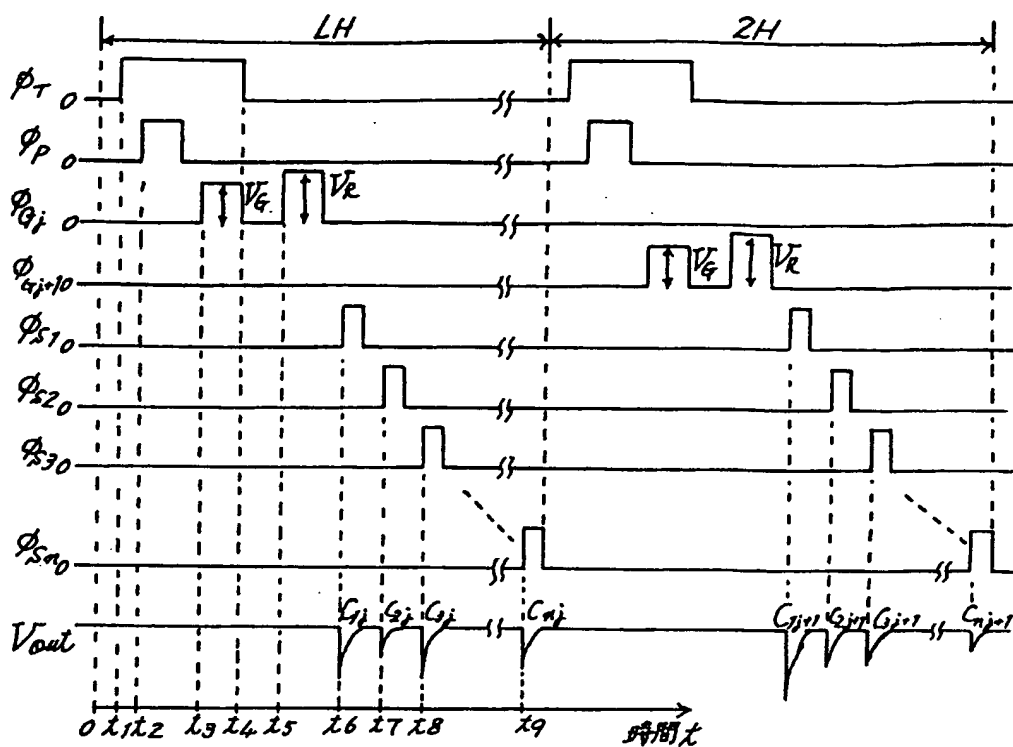


• 2 •



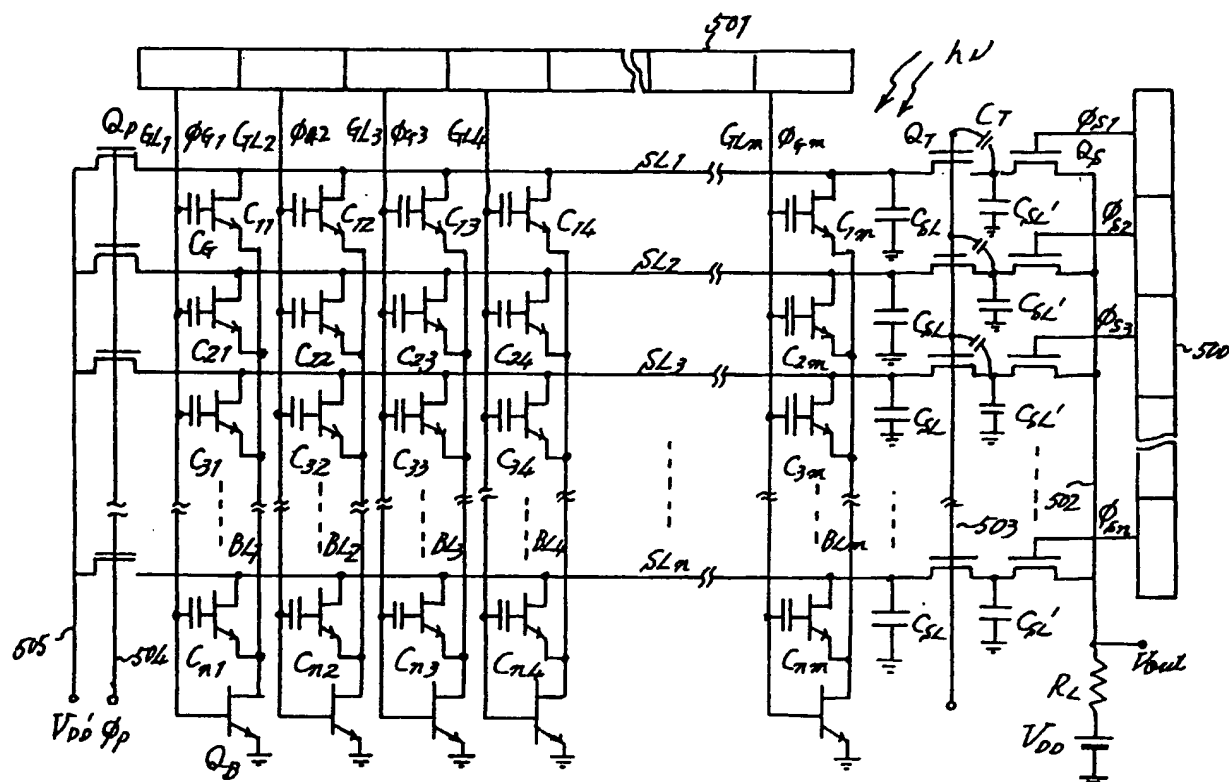
• 2 •





(h)

■ 4 ■



■ 5 ■

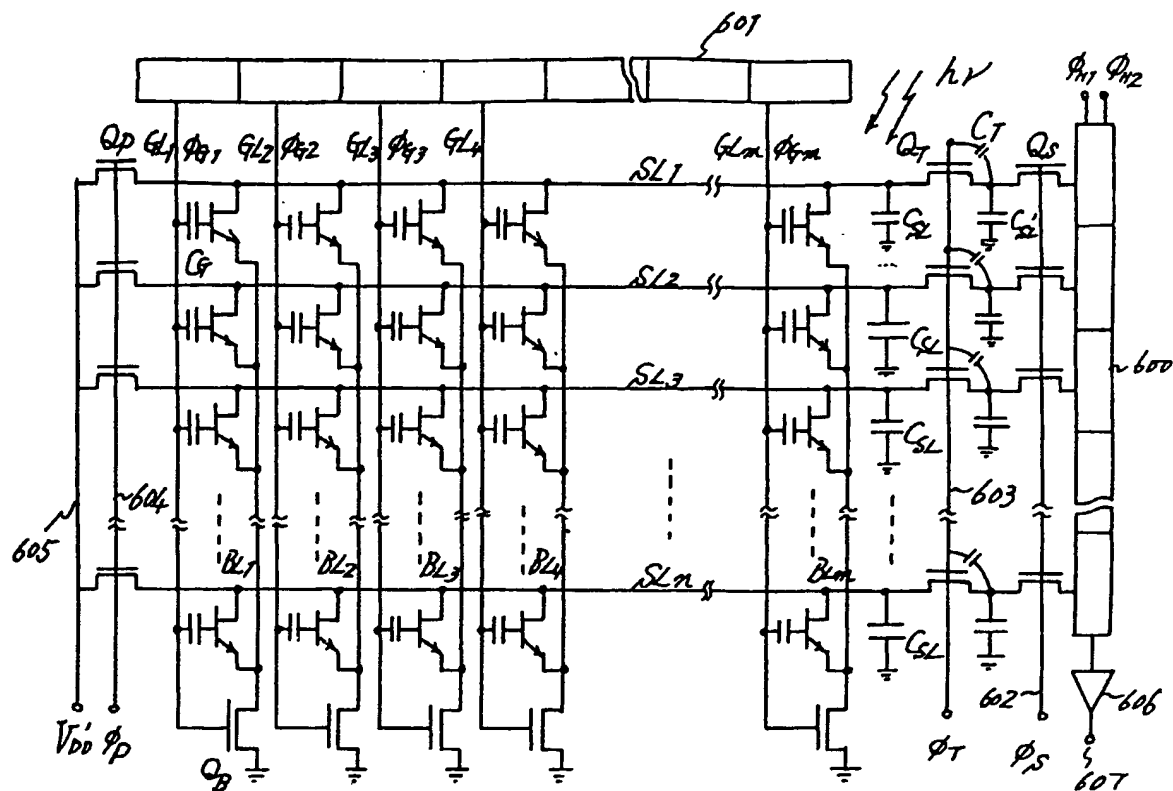
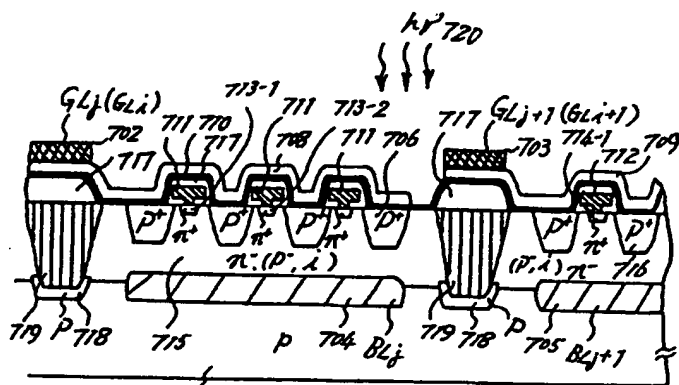
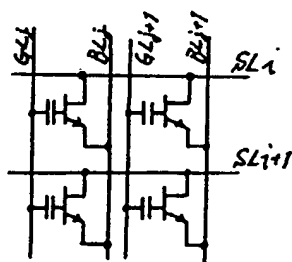


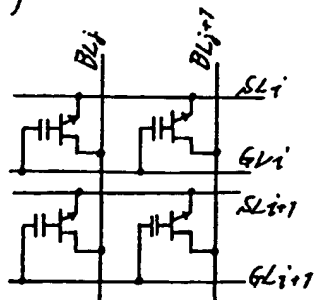
図 6



(a)



(b)



(c)

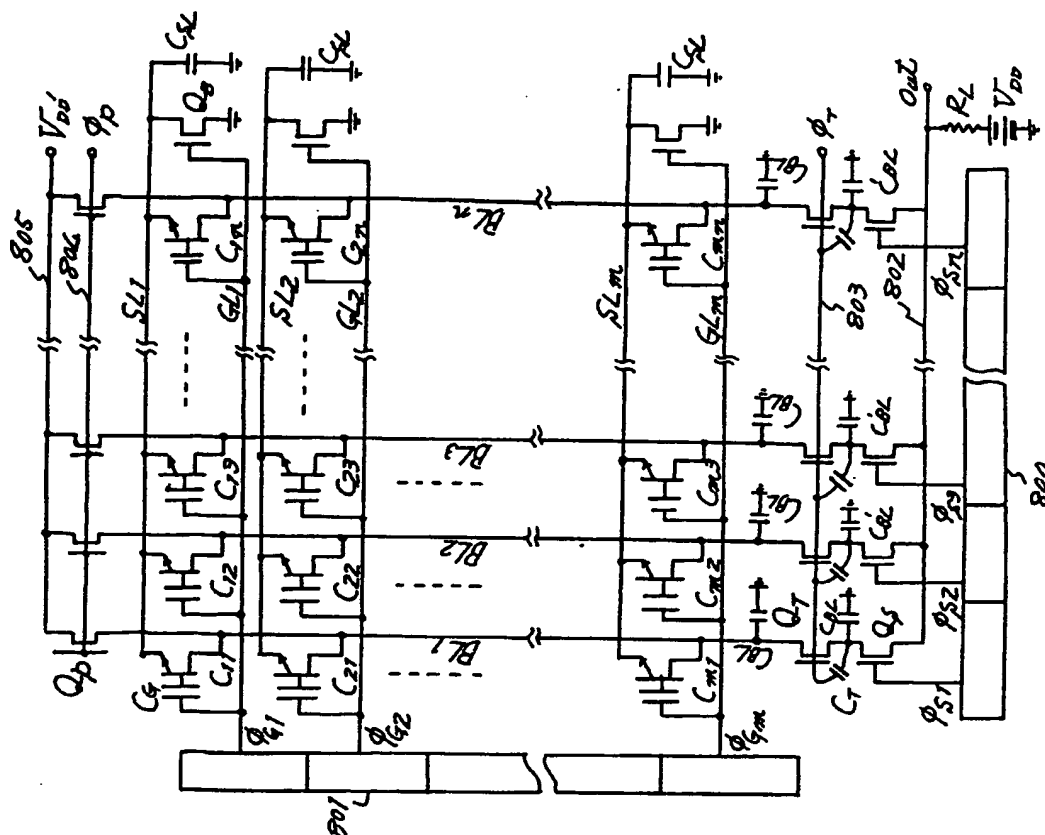


図 8

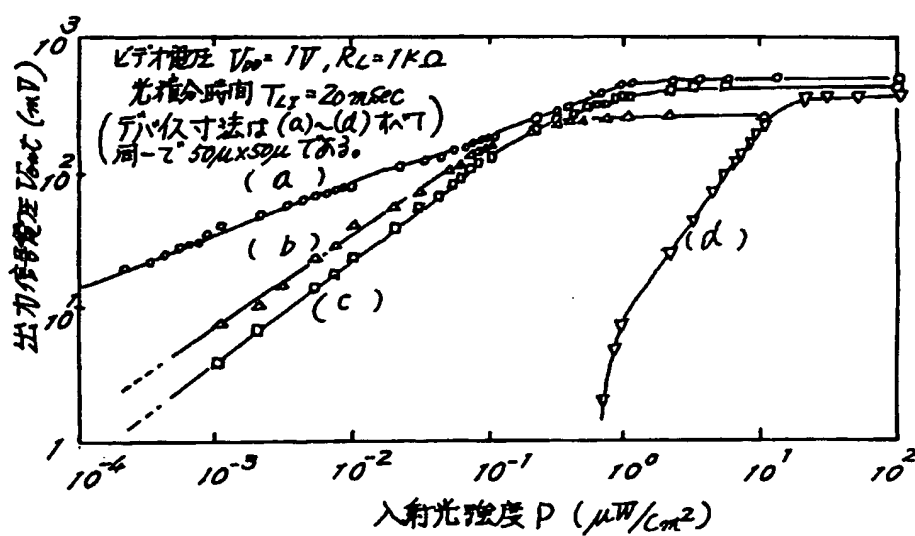


図 9